

(12)特許協力条約に基づいて公開された国際出願

553578

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2004年10月28日 (28.10.2004)

PCT

(10) 国際公開番号  
WO 2004/093089 A1

(51) 国際特許分類<sup>7</sup>:

G11C 11/406

CORPORATION) [US/US]; 10504 ニューヨーク州  
アーモンク ニューオーチャード ロード York (US).

(21) 国際出願番号:

PCT/JP2004/005275

(72) 発明者; および

(22) 国際出願日:

2004年4月13日 (13.04.2004)

(75) 発明者/出願人 (米国についてのみ): 砂永 登志男  
(SUNAGA, Toshio) [JP/JP]; 〒5202392 滋賀県野洲郡野  
洲町大字市三宅800番地 日本アイ・ビー・エム株式会社野洲  
事業所内 Shiga (JP). 細川 浩二 (HOSOKAWA, Kohji) [JP/JP]; 〒5202392 滋賀県野洲郡野洲町大字市三宅800  
番地 日本アイ・ビー・エム株式会社野洲事業所内 Shiga (JP).  
宮武 久忠 (MIYATAKE, Hisatada) [JP/JP]; 〒5202392 滋賀県野洲郡野洲町大字市三宅800番地 日本アイ・ビー・  
エム株式会社野洲事業所内 Shiga (JP).

(25) 国際出願の言語:

日本語

(74) 代理人: 坂口 博, 外 (SAKAGUCHI, Hiroshi et al.); 〒2428502 神奈川県大和市下鶴間1623番地14 日本アイ・  
ビー・エム株式会社大和事業所内 Kanagawa (JP).

(26) 国際公開の言語:

日本語

(続葉有)

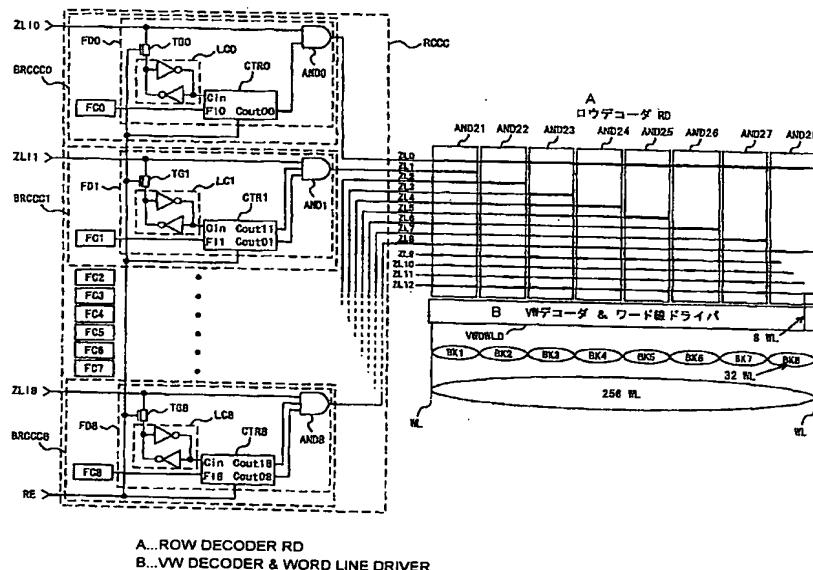
(30) 優先権データ:

特願2003-110319 2003年4月15日 (15.04.2003) JP

(71) 出願人 (米国を除く全ての指定国について): インターナショナル・ビジネス・マシンズ・コーポレーション (INTERNATIONAL BUSINESS MACHINES

(54) Title: DYNAMIC SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: ダイナミック型半導体記憶装置



(57) Abstract: It is possible to realize a DRAM of a simple circuit structure capable of effectively reducing the refresh current by setting the refresh cycle by a small step. A memory array is divided into 64 sub-arrays, each of which is further divided into eight blocks. A refresh cycle control circuit (RCCC) includes: a fuse circuit (FC0) for setting 1 or 1/2 division ratio; a divider (FD0) for dividing a pre-decode signal (ZLI0) with the division ratio which has been set; fuse circuits (FC1 to FC8) for setting 1 or 1/4 division ratio; and dividers (FD1 to FD8) for dividing pre-decode signals (ZLI1 to ZLI8) with the set division ratio. The refresh cycle control circuit (RCCC) can set the 64 or 128 ms refresh cycle for the 64 sub-arrays and the 64 or 256 ms refresh cycle for the 512 blocks.

(57) 要約: リフレッシュ周期をきめ細かく設定することによりリフレッシュ電流を効果的に低減することの可能なDRAMを簡単な回路構成で実現する。メモリセルアレイは64個のサブアレイに分割され、各サブアレイはさらに

WO 2004/093089 A1

(続葉有)



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL,

SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドノート」を参照。

8個のブロックに分割される。リフレッシュサイクル制御回路RCCCは、1又は1/2の分周比を設定するヒューズ回路FC0と、その設定された分周比でプリデコード信号ZL10を分周する分周器FDOと、1又は1/4の分周比を設定するヒューズ回路FC1~FC8と、その設定された分周比でプリデコード信号ZL11~ZL18を分周する分周器FD1~FD8とを備える。リフレッシュサイクル制御回路RCCCは、64個のサブアレイ用に64又は128msのリフレッシュ周期を、512個のブロック用に64又は256msのリフレッシュ周期を設定することができる。

## 明細書

## ダイナミック型半導体記憶装置

## 技術分野

5 本発明は、ダイナミック型半導体記憶装置に関し、さらに詳しくは、リフレッシュの必要なDRAM (Dynamic Random Access Memory) に関する。

## 背景技術

10 携帯電話、携帯情報端末 (PDA; Personal Digital Assistant) など、電池で駆動される機器では、そこで使用される半導体装置の低消費電力化が最も重要な課題である。従来、半導体メモリとしてはSRAM (Static Random Access Memory) が広く使用してきた。SRAMのメモリセルは6つのCMOS (Complementary Metal Oxide Semiconductor) トランジスタからなり、わずかな消費電流でデータを保持できるからである。しかし、SRAMのメモリセルはDRAMのメモリセルよりも20倍以上大きい。また、近年必要なメモリ容量は増大してきており、現在の0.2~0.13μm程度の配線技術で32Mビットや64MビットなどのSRAMを製造すると、チップサイズが大きくなりすぎる。20このようにSRAMはDRAMよりも面積効率が悪いが、この面積効率の悪さは微細化によってさらに悪化する。このため、SRAMをDRAMで置き換えた製品が出始めている。

25 しかし、DRAMはリフレッシュを必要とするため、データを保持した状態でのスタンバイ電流はSRAMよりもかなり大きい。低消費電力のSRAMを省スペースのDRAMで置き換えるためには、リフレッシュ電流をできる限り小さくする必要がある。

このような課題を解決することを目的として、現在、大容量のDRA

Mと小容量のS R A Mとを組み合わせたマルチチップパッケージが提供されている。S R A MはD R A Mのバックアップ用で、D R A Mのデータのうち保持の必要なデータのみがS R A Mに格納される。しかし、この製品でも十分な低消費電力化は得られていない。

5 D R A Mの規格では一般に、6 4 m sなどのデータ保持時間が規定されている。メモリコントローラは規定されたデータ保持時間以内の周期で各メモリセルをリフレッシュしなければならない。D R A Mの製造メーカはこの規格を満足するようにいくらか余裕を持ったデータ保持時間でテスト（以下「リテンションテスト」という）を行い、合格品を出荷  
10 している。このリテンションテストに合格するぎりぎりの短いデータ保持時間しか持たないメモリセルの総数はそれほど多くない。しかもデータ保持時間の短いメモリセルのほとんどは何らかの欠陥と関係しているため、冗長メモリセルと置き換えられ、実際には使用されない。したがって、実際に使用されるデータ保持時間の短いメモリセルの数はD R A  
15 M全体のメモリセルの数と比べれば非常に少ない。

実際にデータ保持時間の実力値を計測してみると、どのメーカーのD R A Mでも大多数は8 5 °Cでも軽く秒のオーダを超えるほどに長い。リテンションテストでは6 4 m sに余裕を持たせ、たとえば1 0 0 m sを基準値としているが、この基準値を超えないメモリセルは数十ビット程度しか存在しない。データ保持時間の分布をグラフにすると、およそ9 9 %のメモリセルは1秒を超えるデータ保持時間を持ち、ごく少数のメモリセルがデータ保持時間の短い裾野に分布している。

従来のD R A Mでは、規格に従い6 4 m sなど一律の周期で全メモリセルをリフレッシュしている。すなわち、全メモリセルの中で最短のデータ保持時間をリフレッシュ周期として採用している。上述したデータ保持時間の実力分布を考慮すると、これは大多数のメモリセルを必要以

上に頻繁にリフレッシュしていることを意味し、かなりの電力を無駄に消費している。したがって理想的には、各メモリセルのデータ保持時間の実力に応じた周期でリフレッシュを行えば、数十ビットのメモリセルのみを最短の 6.4 ms でリフレッシュし、その他の大多数のメモリセルをそれよりもはるかに長い周期でリフレッシュすればよく、膨大な消費電力を節約することができる。しかし、メモリセルごとに実力値に応じたリフレッシュ周期を設定することは膨大かつ複雑な回路を必要とし、現実的には不可能である。

このような課題を解決することを目的として、メモリセルをグループに分け、グループごとに最適なリフレッシュ周期を設定するようにした発明が提案されている。たとえば特許文献 1（日本の特開平 4-34794 号公報）には、ワード線ごとに最適なリフレッシュ周期を設定するようにした発明が開示されている。しかしこの発明では、多数あるワード線にそれぞれ異なるリフレッシュ周期を設定するため、膨大かつ複雑な回路が必要となる。また、特許文献 2（日本の特開平 5-109268 号公報）には、サブアレイごとに最適なリフレッシュ周期を設定するようにした発明が開示されている。また、特許文献 3（日本の特開平 5-266657 号公報）には、メモリセルアレイごとに最適なリフレッシュ周期を設定するようにした発明が開示されている。しかしこれらの発明では、アレイ数が少ないため、データ保持時間の実力値が短いメモリセルが全アレイに分散して存在している場合には十分な効果を得ることができない。

本発明の目的は、リフレッシュ電流を低減したダイナミック型半導体記憶装置を提供することである。

本発明のもう 1 つの目的は、リフレッシュ周期をきめ細かく設定することの可能なダイナミック型半導体記憶装置を提供することである。

本発明のさらにもう 1 つ目的は、上記目的を簡単な回路構成で実現したダイナミック型半導体記憶装置を提供することである。

#### 発明の開示

5 本発明によるダイナミック型半導体記憶装置は、複数のメモリセルを含むメモリセルアレイを備える。メモリセルアレイは複数のブロックに分割される。ダイナミック型半導体記憶装置はさらに、ブロックデコーダと、リフレッシュサイクル制御回路と、ロウデコーダとを備える。ブロックデコーダは、ロウアドレス信号をデコードしてブロック選択信号を発生する。リフレッシュサイクル制御回路は、ブロック選択信号を予め設定された分周比で分周してブロック用にリフレッシュ周期を設定する。ロウデコーダは、ブロック選択信号に応答してブロックを選択する。

15 このダイナミック型半導体記憶装置では、ブロック選択信号が予め設定された分周比で分周される。分周比が 1 の場合、ブロック選択信号は分周されないので、対応するブロックは通常の周期で選択される。たとえば分周比が  $1/2$  の場合、ブロック選択信号は  $1/2$  で分周されるので、対応するブロックは通常の  $1/2$  の周期で選択される。したがって、このブロックのリフレッシュ周期は通常の  $1/2$  となり、リフレッシュ電流が低減される。ここで、分周比は特に  $1/2$  に限定されることなく、 $1/4$ 、 $1/8$  など、任意の比を採用することができる。しかも、リフレッシュサイクル制御回路を追加するだけでリフレッシュ電流が低減されるので、本発明によるダイナミック型半導体記憶装置は簡単な回路構成で実現することができる。

25 本発明によるもう 1 つのダイナミック型半導体記憶装置は、複数のメモリセルを含むメモリセルアレイを備える。メモリセルアレイは複数の

第1階層ブロックに分割される。第1階層ブロックの各々はさらに複数の第2階層ブロックに分割される。ダイナミック型半導体記憶装置はさらに、リフレッシュ周期設定手段を備える。リフレッシュ周期設定手段は、第1階層ブロック用に第1のリフレッシュ周期を設定し、第2階層ブロック用に第2のリフレッシュ周期を設定する。

このダイナミック型半導体記憶装置では、メモリセルアレイが階層的にブロック化され、リフレッシュ周期はブロック単位で階層的に設定される。したがって、リフレッシュ周期をきめ細かく設定することができる。その結果、メモリセルアレイ全体のリフレッシュ電流はさらに低減される。

#### 図面の簡単な説明

図1は、本発明の第1の実施の形態によるDRAMの全体構成を示す。

図2は、図1中のロウデコーダ及びリフレッシュサイクルサイクル制御回路を含む周辺回路の構成を示す。

図3は、図2中のブロックリフレッシュサイクル制御回路の構成を示す。

図4は、図3中のヒューズ回路の構成を示す。

図5は、図1～図4に示したDRAMのバーストリフレッシュ動作のタイミングを示す。

図6は、本発明の第2の実施の形態によるDRAMの全体構成を示す。

図7は、図6中の1個のサブアレイ及びその周辺回路の構成を示す。

図8は、図7中のリフレッシュサイクル制御回路、ロウデコーダ、仮想ワード線デコーダ及びワード線ドライバの構成を示す。

図9は、図8に示したリフレッシュサイクル制御回路において全ヒューズ回路が切斷されていない場合の動作のタイミングを示す。

図10は、図8に示したリフレッシュサイクル制御回路においてヒューズ回路F C 0及びF C 3が切斷された場合の動作のタイミングを示す。

5

図11は、本発明の第3の実施の形態によるDRAMにおけるリフレッシュサイクル制御回路、ロウデコーダ、仮想ワード線デコーダ及びワード線ドライバの構成を示す。

図12は、図11に示したリフレッシュサイクル制御回路においてヒューズ回路F C 0及びF C 3が切斷された場合の動作のタイミングを示す。

図13は、本発明の第4の実施の形態によるDRAMにおけるリフレッシュサイクル制御回路、ロウデコーダ、仮想ワード線デコーダ及びワード線ドライバの構成を示す。

15

#### 発明を実施するための最良の形態

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明を援用する。

##### [第1の実施の形態]

図1を参照して、本発明の第1の実施の形態によるDRAMは、32MビットのメモリセルアレイMAと、ロウデコーダRDと、リフレッシュサイクル制御回路RCCCとを備える。メモリセルアレイMAは4個のサブアレイSUB 1～SUB 4に分割される。サブアレイSUB 1～SUB 4の各々は、行及び列に配置された8M (= 8 × 220) 個のメモリセル(図示せず)と、行に配置された1K (= 210) 個のワード線WLと、列に配置された8K (= 8 × 210) 個のビット線対BLと、

ビット線対B Lに対応して設けられた8 K個のセシスアンプSAとを備える。

サブアレイSUB 1～SUB 4の各々はさらに4つの領域# 1～# 4に分割される。領域# 1～# 4の各々は256個のワード線WLを含む。

5 8 K個のセンスアンプSAは領域# 1及び# 2の間と領域# 3及び# 4の間とに4 K個ずつ配置される。メモリセルアレイMA全体はさらに128個のブロックBKに分割される。各ブロックBKは32個のワード線WLを含む。

10 128個のブロックBKに対応し、ロウデコーダRDも128個のブロックロウデコーダBRDに分割される。各ブロックロウデコーダBRDは対応するブロックBK内の32個のワード線WLの中から1個を選択する。リフレッシュサイクル制御回路RCCCは、128個のブロックBKに適したリフレッシュ周期T 1～T 128をそれぞれ設定する。

15 図2を参照して、このDRAMはさらに、アドレスレシーバADRと、ロウアドレスカウンタRACと、セレクタSELと、プリデコーダPD EC 1及びPDEC 2と、ブロックデコーダBDECとを備える。本実施の形態の特徴はリフレッシュサイクル制御回路RCCCを設けた点であり、それ以外の構成は従来と同じである。

20 アドレスレシーバADRは、入力された外部ロウアドレス信号EADを受信し、セレクタSELに与える。ロウアドレスカウンタRACは、内部ロウアドレス信号IADを内部的に発生し、セレクタSELに与える。メモリセルアレイMA全体にある4 Kのワード線WLの中から1個のワード線WLを特定しなければならないので、外部ロウアドレス信号EAD及び内部ロウアドレス信号IADはともに12ビットである。

25 セレクタSELは、リフレッシュイネーブル信号REに応答して、アドレスレシーバADRからの外部ロウアドレス信号EAD又はロウアド

レスカウンタR A Cからの内部ロウアドレス信号I A Dを選択する。リフレッシュイネーブル信号R Eは通常アクセス時にL (論理ロー) レベルになり、リフレッシュ時にH (論理ハイ) レベルになる。リフレッシュイネーブル信号R EがL レベルのとき、セレクタS E Lは外部ロウアドレス信号E A Dを選択する。リフレッシュイネーブル信号R EがH レベルのとき、セレクタS E Lは内部ロウアドレス信号I A Dを選択する。セレクタS E Lは選択したロウアドレス信号のうち下位2ビット (第1及び第2ビット) をプリデコーダP D E C 1に与え、その次の下位3ビット (第3～第5ビット) をプリデコーダP D E C 2に与え、上位7ビット (第6～第12ビット) をロックデコーダB D E Cに与える。

プリデコーダP D E C 1は、2ビットのロウアドレス信号をデコードして4 (= 2<sup>2</sup>) ビットのプリデコード信号P D 1を発生し、ロウデコーダR Dに与える。プリデコーダP D E C 2は、3ビットのロウアドレス信号をデコードして8 (= 2<sup>3</sup>) ビットのプリデコード信号P D 2を発生し、ロウデコーダR Dに与える。ロックデコーダB D E Cは、7ビットのロウアドレス信号をデコードして128 (= 2<sup>7</sup>) ビットのロック選択信号B S Iを発生し、リフレッシュサイクル制御回路R C C Cに与える。

リフレッシュサイクル制御回路R C C Cは、ロック選択信号B S Iを予め定められた分周比で分周してロックB K用にリフレッシュ周期を設定する。具体的には、リフレッシュイネーブル信号R EがL レベルのとき、リフレッシュサイクル制御回路R C C Cは、128ビットのロック選択信号B S IをそのままロウデコーダR Dに与える。このとき、換言すれば、リフレッシュサイクル制御回路R C C Cはロック選択信号B S Iを分周比1で分周している。一方、リフレッシュイネーブル信号R EがH レベルのとき、リフレッシュサイクル制御回路R C C Cは、

128ビットのブロック選択信号BSIをそれぞれ予め設定された分周比（たとえば1/2、1/4）で分周し、ロウデコーダRDに与える。

リフレッシュサイクル制御回路RCCCは、128ビットのブロック選択信号BSIに対応する128個のブロックリフレッシュサイクル制御回路BRCCCに分割される。

リフレッシュイネーブル信号REがLレベルのとき、ブロックリフレッシュサイクル制御回路BRCCCの各々は、対応する1ビットのブロック選択信号BSIをそのまま対応するブロックロウデコーダBRDに与える。リフレッシュイネーブル信号REがHレベルのとき、ブロックリフレッシュサイクル制御回路BRCCCの各々は、対応する1ビットのブロック選択信号BSIを予め設定された分周比で分周し、対応するブロックロウデコーダBRDに与える。

以下、リフレッシュサイクル制御回路RCCCに入力されるブロック選択信号を「入力ブロック選択信号BSI」といい、リフレッシュサイクル制御回路RCCCから出力されるブロック選択信号を「出力ブロック選択信号BSO」という。リフレッシュサイクル制御回路RCCCの具体的な回路構成は後述する。

ロウデコーダRDは、128ビットの出力ブロック選択信号BSOに応答して128個のブロックBKの中から1個を選択し、さらにプリデコード信号PD1及びPD2に応答して、選択されたブロックBK内の32個のワード線WLの中から1個を選択して活性化する。

具体的には、ロウデコーダRDでは、128ビットの出力ブロック選択信号BSOに応答して128個のブロックロウデコーダBRDの中から1個が選択され、活性化される。活性化されたブロックロウデコーダBRDは8ビットのプリデコード信号PD2に応答して対応するブロックBK内の32個のワード線WLの中から4個を選択し、さらに4ビッ

-10-

トのプリデコード信号P D 1に応答して4個のワード線W Lの中から1個を選択する。

図3は、1個のブロックロウデコーダB R Dに対応するブロックリフレッシュサイクル制御回路B R C C Cの構成を示す。図3を参照して、  
5 ブロックリフレッシュサイクル制御回路B R C C Cは、所望の分周比を設定するヒューズ回路F Cと、ヒューズ回路F Cに設定された分周比でブロック選択信号B S Iを分周する分周器F Dとを備える。リフレッシュサイクル制御回路R C C C全体は、図3に示したブロックリフレッシュサイクル制御回路B R C C Cを128個備える。

10 図4を参照して、ヒューズ回路F Cは、プルアップ抵抗R A及びR Bと、ポリシリコンなどからなるヒューズF A及びF Bとを備える。ヒューズF A及びF Bがともに切断されていない場合、ヒューズ信号F A I及びF B IはそれぞれヒューズF A及びF BによりともにLレベルにされる。ヒューズF Aのみが切断された場合、ヒューズ信号F A Iのみがプルアップ抵抗R AによりHレベルにされる。ヒューズF A及びF Bがともに切断された場合、ヒューズ信号F A I及びF B Iはそれぞれプルアップ抵抗R A及びR BによりともにHレベルにされる。

15

20 ヒューズ回路F Cはプルアップ抵抗R A及びR BとポリシリコンなどからなるヒューズF A及びF Bとで構成され、M O Sトランジスタなどを含んでいないため、ロウデコーダR Dの上に形成される。したがって、ヒューズ回路F Cの追加によるチップ面積の増大を抑えることができる。

再び図3を参照して、分周器F Dは、転送ゲートT Gと、ラッチ回路L Cと、カウンタC T Rと、AND（論理積）ゲートANDとを備える。  
25

転送ゲートT Gは、リフレッシュイネーブル信号R EがHレベルのと

きオンになり、L レベルのときオフになる。ラッチ回路LCは、相互に接続されたインバータIV1及びIV2とからなる。リフレッシュュイネーブル信号REがH レベルのとき、転送ゲートTGは入力ブロック選択信号BSIをラッチ回路LCに与える。ラッチ回路LCは入力ブロック選択信号BSIをラッチし、それを反転したカウンタ入力信号CINをカウンタCTRに与える。

カウンタCTRはカウンタ入力信号CINに応答してカウントアップされ、2ビットのカウンタ出力信号FAO, FBOを出力する。カウンタ出力信号FAOがLSB (Least Significant Bit) で、カウンタ出力信号FABがMSB (Most Significant Bit) である。

カウンタCTRは、リフレッシュュイネーブル信号REがH レベルのとき活性化され、L レベルのとき非活性化される。ヒューズ信号FAI及びFBIがともにL レベルときも、カウンタCTRは非活性化される。非活性化されたカウンタCTRはカウンタ出力信号FAO及びFBOをともにH レベルに固定する。活性化されたカウンタCTRはカウンタ入力信号CINの立ち下がりエッジに応答してカウントアップされる。ヒューズ信号FAIがH レベルで、ヒューズ信号FBIがL レベルのとき、カウンタCTRはMSBのカウンタ出力信号FAOをH レベルに固定し、1ビットカウンタとして機能する。ヒューズ信号FAI及びFBIがともにH レベルのとき、カウンタCTRは2ビットカウンタとして機能する。

次に、このDRAMの動作を説明する。

リテンションテスト時にブロックBKごとにデータ保持時間を計測し、256msのリテンションテストを合格したブロックBKについてはヒューズFA及びFBをともに切断する。256msのリテンションテストは不合格になったが、128msのリテンションテストを合格したブ

ロックについてはヒューズF Aのみを切斷する。それ以外のロック、つまり両方のリテンションテストを不合格になったロックについてはヒューズF A及びF Bともに切斷しない。

(1) 通常アクセス時

5 通常アクセス時には、リフレッシュイネーブル信号R EがL レベルになる。したがって、セレクタS E Lは外部ロウアドレス信号E ADを選択する。また、128個の全ロックBKについて、カウンタCTRはカウンタ出力信号F AO及びF BOとともにH レベルに固定するので、ANDゲートANDは入力ロック選択信号B SIをそのまま出力ロック選択信号B SOとしてロックロウデコーダB RDに与える。したがって、リフレッシュサイクル制御回路R CCCは128ビットの入力ロック選択信号B SIをそのまま128ビットの出力ロック選択信号B SOとしてロウデコーダRDに与える。よって、このDRAMは、リフレッシュサイクル制御回路R CCCを持たない従来のDRAMと同様に動作する。

10

15

(2) リフレッシュ時

リフレッシュ時には、リフレッシュイネーブル信号R EがH レベルになる。したがって、セレクタS E Lは内部ロウアドレス信号I ADを選択する。また、リフレッシュサイクル制御回路R CCCはヒューズF A及びF Bの切斷状況に応じて異なった機能を発揮する。

20

以下、バーストリフレッシュを例に挙げ、図5を参照してその動作を説明する。バーストリフレッシュは、4K個の全ワード線WLを順番に活性化して32M個の全メモリセルをリフレッシュするものである。

(2. 1) ヒューズF A及びF Bがともに切斷されていない場合

25 128個のロックBKのうちある1個に注目する。この注目したロックBKに対応するロックリフレッシュサイクル制御回路B RCC

Cにおいて、ヒューズF A及びF Bがともに切断されていない場合、ヒューズ信号F A I及びF B IはともにLレベルになる。そのため、カウンタCTRは非活性化され、カウンタ出力信号F AO及びF BOをともにHレベルに固定する。したがって、ANDゲートANDは入力ブロック選択信号B S Iをそのまま出力ブロック選択信号B S O 1としてブロッククロウデコーダBRDに与える。入力ブロック選択信号B S Iは0.5msの間ずっとHレベルになるから、出力ブロック選択信号B S O 1も同様に0.5msの間ずっとHレベルになる。ブロッククロウデコーダBRDはこの0.5msの間に32個のワード線WLを15.6μsずつ順番に活性化し、注目しているブロックBK内の全メモリセルをリフレッシュする。リフレッシュを完了すると、入力ブロック選択信号B S IはLレベルになる。この入力ブロック選択信号B S IがLレベルの間に、注目しているブロックBK以外の127個のブロックについて、入力ブロック選択信号B S Iが0.5msずつHレベルになる。各ブロックに0.5msかかるので、127個のブロックには63.5ms( $=0.5ms \times 127$ )かかる。その結果、注目しているブロックBKについては、最初のリフレッシュ開始から64ms後に、入力ブロック選択信号B S I及び出力ブロック選択信号B S O 1が再びHレベルになり、リフレッシュが再開される。

したがってこの場合、注目しているブロックBK内の全メモリセルは通常通り64msの周期でリフレッシュされる。

#### (2. 2) ヒューズF Aが切断された場合

注目しているブロックBKに対応するブロックリフレッシュサイクル制御回路BRCCCにおいて、ヒューズF Aのみが切断された場合、ヒューズ信号F A IはHレベルになり、ヒューズ信号F B IはLレベルになる。そのため、カウンタCTRはMSBのカウンタ出力信号F AOを

H レベルに固定し、1 ビットカウンタとして機能する。一方、H レベルのリフレッシュイネーブル信号R Eに応答して転送ゲートT Gがオンになっているので、ラッチ回路L Cは入力ブロック選択信号B S Iを反転したカウンタ入力信号C I NをカウンタCTRに与える。カウンタCTRはカウンタ入力信号C I Nの立ち下がりエッジF 1～F 5に応じてカウントアップされるため、LSBのカウンタ出力信号F A Oはそれに応じて繰り返しL又はH レベルに変化する。カウンタ出力信号F A OがL レベルの間、ANDゲートANDは出力ブロック選択信号B S O 2をL レベルに固定する。すなわち、カウンタ出力信号F A OがL レベルの間、H レベルの入力ブロック選択信号B S Iは間引かれ、出力ブロック選択信号B S O 2に現れない。よって、出力ブロック選択信号B S O 2の周期は入力ブロック選択信号B S Iの周期の2倍の128msになる。

したがってこの場合、注目しているブロックBK内の全メモリセルは通常の2倍の128msの周期でリフレッシュされる。

15 (2. 3) ヒューズF A及びF Bがともに切断された場合

注目しているブロックBKに対応するブロックリフレッシュサイクル制御回路BRCCCにおいて、ヒューズF A及びF Bがともに切断された場合、ヒューズ信号F A I及びF B IはともにH レベルになる。そのため、カウンタCTRは2ビットカウンタとして機能する。MSBのカウンタ出力信号F A OはLSBのカウンタ出力信号F B Oの立ち上がりエッジに応じて繰り返しL又はH レベルに変化する。カウンタ出力信号F A O又はF B OがL レベルの間、ANDゲートANDは出力ブロック選択信号B S O 3をL レベルに固定する。すなわち、カウンタ出力信号F A O又はF A BがL レベルの間、H レベルの入力ブロック選択信号B S Iは間引かれ、出力ブロック選択信号B S O 3に現れない。よって、出力ブロック選択信号B S O 3の周期は入力ブロック選択信号B S Iの

周期の4倍の256msになる。

したがってこの場合、注目しているブロックBK内の全メモリセルは通常の4倍の256msの周期でリフレッシュされる。

なお、カウンタCTRはカウンタ入力信号CINの立ち下がりエッジ5 F1～F5に応じてカウントアップされるが、リフレッシュイネーブル信号REがHレベルになってから最初のカウンタ入力信号CINの立ち下がりエッジFOに応じてはリセットされ、カウンタ出力信号FAO及びFBOはともにHレベルになる。したがって、ヒューズFA又はFBが切断されていてもいなくても、リフレッシュモードに入ってから最初10のリフレッシュは安全のために必ず行われる。

以上のように本実施の形態によれば、ブロックBKごとにリテンションテストを行い、256msのリテンションテストを合格したブロックBKについては256msのリフレッシュ周期を設定し、128msのリテンションテストを合格したブロックBKについては128msのリ15フレッシュ周期を設定し、それ以外のブロックBKについては64msのリフレッシュ周期を設定する。したがって、256msのリフレッシュ周期を設定したブロックBKではリフレッシュ電流は4分の1に低減され、128msのリフレッシュ周期を設定したブロックBKではリフレッシュ電流は2分の1に低減される。また、128個のブロックBK20に適したリフレッシュ周期をそれぞれ設定することができるため、従来よりもきめ細かくリフレッシュ周期を設定することができる。しかも従来のDRAMに簡単なリフレッシュサイクル制御回路RCCCを追加するだけで、上記効果を得ることができる。

上記実施の形態ではブロック数は128個、リフレッシュ周期は64msの2倍及び4倍であるが、これらは特に限定されない。たとえばカウンタCTRを3ビットにすればリフレッシュ周期は8倍、カウンタC25

TRを4ビットにすればリフレッシュ周期は16倍になり、リフレッシュ周期の選択が増える。

本実施の形態によれば、リフレッシュ電流  $I_r$  は一般に次の式 (1) で与えられる。

5 
$$I_r = I_b \times F_2 / N_b + I_b / 2 \times F_4 / N_b + I_b / 4 \times (N_b - F_2 - F_4) / N_b \dots (1)$$

ここで、  $I_b$  はリフレッシュ周期を  $64\text{ms}$  にした場合の基本的なリフレッシュ電流、  $F_n$  は  $n \times 64\text{ms}$  のリテンションテストで不合格になるブロックの数、  $N_b$  はブロックの総数である。

10 仮に  $128\text{ms}$  のリテンションテストで12ブロックが不合格になり、  $256\text{ms}$  のリテンションテストで26ブロックが不合格になったとすると、この場合のリフレッシュ電流  $I_r$  は次の式 (2) で得られる。

$$I_r = I_b \times 12 / 128 + I_b / 2 \times 26 / 128 + I_b / 4 \times (128 - 12 - 26) / 128$$

$$= I_b \times (12 / 128 + 1 / 2 \times 26 / 128 + 1 / 4 \times (128 - 12 - 26) / 128) = 0.371 I_b \dots (2)$$

この場合のリフレッシュ電流  $I_r$  は、リフレッシュ周期を一律に  $64\text{ms}$  とした場合の3分の1近くになる。

### [第2の実施の形態]

20 図6を参照して、本発明の第2の実施の形態によるDRAMは、2個のメモリセルアレイMAを備える。各メモリセルアレイMAは、行及び列に配置された32M個のメモリセル（図示せず）と、行に配置された16K個のワード線WLと、列に配置された2K個のビット線対BLとを備える。各メモリセルアレイMAは32Mビットのメモリ容量を有する。DRAM全体は64Mビットのメモリ容量を有する。各メモリセルアレイMAは64個のサブアレイSUBに分割される。各サブアレイS

UBは512Kビットのメモリ容量を有する。

図7を参照して、各サブアレイSUBは、512K個のメモリセル（図示せず）と、256個のワード線WLと、2K個のビット線対BLとを備える。2K個のビット線対BLにはそれぞれ2K個のセンスアンプSAが接続される。

図6に示した上下2個のメモリセルアレイMAの間には、図7に示すようにロウ系の周辺回路が配置される。ロウ系の周辺回路は、リフレッシュサイクル制御回路RCCCと、2個のロウデコーダRDと、2個の仮想ワード線デコーダ及びワード線ドライバ（以下、単に「ワード線ドライバ」という）VWDWLDと、制御回路CCとを備える。

リフレッシュサイクル制御回路RCCCは上下のサブアレイSUBの中央に設けられる。詳細は後述する。ロウデコーダRDはリフレッシュサイクル制御回路RCCCの両側に設けられる。上側のロウデコーダRDは上側のサブアレイSUB内にあるワード線WLをプリデコード信号に応答して選択する。下側のロウデコーダRDは下側のサブアレイSUBにあるワード線WLをプリデコード信号に応答して選択する。プリデコード信号はプリデコーダから与えられる。

このプリデコーダは本実施の形態では特に図示されていないが、基本的に図2に示した第1の実施の形態のプリデコーダPDEC1及びPDEC2と同じである。すなわち、プリデコーダはロウアドレス信号をデコードしてプリデコード信号を発生する。ロウアドレス信号としては、通常アクセス時に外部から入力された外部ロウアドレス信号が用いられ、リフレッシュ時には内部的に生成された内部ロウアドレス信号が用いられる。

ワード線ドライバVWDWLDはロウデコーダRDのさらに外側に設けられる。上側のワード線ドライバVWDWLDは上側のロウデコーダ

RDにより選択されたワード線WLを駆動する。下側のワード線ドライバVWDWLDは下側のロウデコーダRDにより選択されたワード線WLを駆動する。1回の動作で、2個のサブアレイSUBが同時に活性化され、4K個のメモリセルが一斉にリフレッシュされる。

5 リフレッシュサイクル制御回路RCCC、ロウデコーダRD及びワード線ドライバVWDWLDの詳細を図8に示す。本実施の形態の特徴はリフレッシュサイクル制御回路RCCCを設けた点であり、それ以外の構成は従来と同じである。

10 図8を参照して、ロウデコーダRDは、プリデコード信号ZL0に応答してサブアレイSUB、つまり256個のワード線WLを選択する。ロウデコーダRDはさらに、8ビットのプリデコード信号ZL1～ZL8に応答して、選択された256個のワード線WLの中から32個のワード線WLを選択する。サブアレイSUBは8個のブロックBK1～BK8に分割される。ブロックBK1～BK8の各々はこれら32個のワード線WLを含む。各メモリセルアレイMA全体は512 (=64×8)個のブロックに分割される。

15 ロウデコーダRDはさらに、4ビットのプリデコード信号ZL9～ZL12に応答して、選択された32個のワード線WLの中から8個のワード線WLを選択する。これを実現するために、ロウデコーダRDは、ANDツリーを構成する8個のAND回路AND21～AND28を備える。たとえばAND回路AND28は、プリデコード信号ZL0、ZL8及びZL12の全てがHレベルのとき、対応する8個のワード線WLを選択する。

20 ワード線ドライバVWDWLDは、ロウアドレス信号の3ビットに応答して各ワード線WLに供給される電源をオン又オフにし、これによりロウデコーダRDにより選択された8個のワード線WLの中から1個の

ワード線WLを駆動する。

リフレッシュサイクル制御回路RCCCは、256個のサブアレイ用に64ms又は128msのリフレッシュ周期を設定し、512個のブロック用に64ms又は256msのリフレッシュ周期を設定する。リフレッシュサイクル制御回路RCCCは、プリデコーダ（図示せず）から9ビットのプリデコード信号ZLI0～ZLI8を受け、9ビットのプリデコード信号ZL0～ZL8をロウデコーダRDに与える。以下、リフレッシュサイクル制御回路RCCCに入力されるプリデコード信号をここから出力されるプリデコード信号ZL0～ZL8と区別するために特に「入力プリデコード信号」という。

リフレッシュサイクル制御回路RCCCは、9ビットのプリデコード信号ZL0～ZL8に対応して設けられた9個のブロックリフレッシュサイクル制御回路BRCCC0～BRCCC8を備える。各ブロックリフレッシュサイクル制御回路BRCCC<sub>i</sub>（<sub>i</sub>=0～8）は、入力プリデコード信号ZLI<sub>i</sub>を予め設定された分周比（1、1/2又は1/4）で分周し、その分周したプリデコード信号ZL<sub>i</sub>を出力する。各ブロックリフレッシュサイクル制御回路BRCCC<sub>i</sub>は、ヒューズ回路FC<sub>i</sub>と、分周器FD<sub>i</sub>とを備える。したがって、リフレッシュサイクル制御回路RCCC全体は、9個のヒューズ回路FC0～FC8と、それらに対応して設けられた9個の分周器FD0～FD8とを備える。

各ヒューズ回路FC<sub>i</sub>は、1個のプルアップ抵抗（図示せず）と、1個のヒューズ（図示せず）とを備える。すなわち、各ヒューズ回路FC<sub>i</sub>は、図4に示したヒューズ回路FCのうち1系統だけを備える。各ヒューズ回路FC<sub>i</sub>は、内部のヒューズが切断されていないときLレベルのヒューズ信号FI<sub>i</sub>を出力し、内部のヒューズが切断されたときHレベルのヒューズ信号FI<sub>i</sub>を出力する。ヒューズ回路FC0は、1又は

1/2の分周比を設定する。ヒューズ回路F C 1～F C 8は、1又は1/4の分周比を設定する。

各分周器F D iは、転送ゲートT iと、ラッチ回路L C iと、カウンタC T R iと、AND（論理積）ゲートAND iとを備える。これらの構成及び機能は、カウンタC T R iを除き、図3に示した分周器F Dと同じである。分周器F D 0は、ヒューズ回路F Cに設定された分周比で入力プリデコード信号Z L I 0を分周する。分周器F D 1～F D 8は、それぞれヒューズ回路F C 1～F C 8に設定された分周比で入力プリデコード信号Z L I 1～Z L I 8を分周する。

カウンタC T R 0は、リフレッシュイネーブル信号R EがHレベルに活性化されかつヒューズ信号F I 0がHレベルになったとき活性化され、リフレッシュイネーブル信号R E又はヒューズ信号F I 0がLレベルになったとき非活性化される。活性化されたカウンタC T R 0は1ビットカウンタとして機能し、カウンタ入力信号C i nの立ち下がりエッジに応答してカウントアップされ、1ビットのカウンタ出力信号C o u t 0 0を出力する。入力プリデコード信号Z L I 0の立ち上がりエッジごとに、カウンタ出力信号C o u t 0 0は「0」（Lレベル）→「1」（Hレベル）と繰り返し変化する。したがってこの場合、ANDゲートAND 0は入力プリデコード信号Z L I 0を分周比1/2で分周する。一方、非活性化されたカウンタC T R 0はカウンタ出力信号C o u t 0 0をHレベルに固定する。したがってこの場合、ANDゲートAND 0は入力プリデコード信号Z L I 0をそのままプリデコード信号Z L 0として出力する。換言すれば、ANDゲートAND 0は入力プリデコード信号Z L I 0を分周比1で分周する。

カウンタC T R i（i=1～8）は、リフレッシュイネーブル信号R EがHレベルに活性化されかつヒューズ信号F I iがHレベルになった

とき活性化され、リフレッシュイネーブル信号RE又はヒューズ信号FI<sub>i</sub>がLレベルになったとき非活性化される。活性化されたカウンタCTR<sub>i</sub>は2ビットカウンタとして機能し、カウンタ入力信号C<sub>i</sub>nの立ち上がりエッジに応答してカウントアップされ、2ビットのカウンタ出力信号C<sub>out1</sub>i, C<sub>out0</sub>iを出力する。カウンタ出力信号C<sub>out1</sub>iがMSBで、カウンタ出力信号C<sub>out0</sub>iがLSBである。  
5 入力プリデコード信号ZLI<sub>i</sub>の立ち上がりエッジごとに、カウンタ出力信号C<sub>out1</sub>i, C<sub>out0</sub>iは「00」→「01」→「10」→「11」と繰り返し変化する。したがってこの場合、ANDゲートAND<sub>0</sub>は入力プリデコード信号ZLI<sub>i</sub>を分周比1/4で分周する。一方、  
10 非活性化されたカウンタCTR<sub>i</sub>はカウンタ出力信号C<sub>out1</sub>i及びC<sub>out0</sub>iをともにHレベルに固定する。したがってこの場合、ANDゲートAND<sub>i</sub>は入力プリデコード信号ZLI<sub>i</sub>をそのままプリデコード信号ZLIとして出力する。換言すれば、ANDゲートAND<sub>i</sub>は入力プリデコード信号ZLI<sub>i</sub>を分周比1で分周する。  
15

なお、ヒューズ回路FC0～FC8はロウデコーダRDを形成するANDツリーの上に配置される。分周器FD0～FD8は図7中の制御回路CC内に配置される。このような配置を採用すれば、リフレッシュサイクル制御回路RCCCの追加によるチップ面積の増大を抑えることができる。  
20

次に、このDRAMの動作を説明する。

64個のサブアレイSUBのうち128msのリテンションテストを合格したサブアレイSUBについては、そのサブアレイSUBに対応するヒューズ回路FC0のヒューズを切断する。さらに512個のブロックのうち256msのリテンションテストも合格したブロックBK<sub>j</sub> (j = 1～8)については、そのブロックBK<sub>j</sub>に対応するヒューズ回路

F C j のヒューズも切断する。残りのブロック B K k (k = 1 ~ 8) について、そのブロック B K k に対応するヒューズ回路 F C k のヒューズを切断しない。

(1) 通常アクセス時

5 通常アクセス時には、リフレッシュイネーブル信号 R E が L レベルになり、全カウンタ C T R 0 ~ C T R 8 が非活性化される。カウンタ C T R 0 はカウンタ出力信号 C o u t 0 0 を H レベルに固定する。カウンタ C T R 1 ~ C T R 8 はカウンタ出力信号 C o u t 1 1, C o u t 0 1 ~ C o u t 1 8, C o u t 0 8 をそれぞれ H レベルに固定する。したがって、リフレッシュサイクル制御回路 R C C C は入力プリデコード信号 Z L I 0 ~ Z L I 8 をそのままプリデコード信号 Z L 0 ~ Z L 8 としてロウデコーダ RD に与える。よって、この D R A M は、リフレッシュサイクル制御回路 R C C C を持たない従来の D R A M と同様に動作する。

10 (2) リフレッシュ時

15 以下、バーストリフレッシュを例に挙げ、その動作を図 9 及び図 10 を参照して説明する。

バーストリフレッシュは 256 個のワード線 WL を順次選択し、サブアレイ S U B 内の全メモリセルをリフレッシュする。このバーストリフレッシュ時には、図 9 及び図 10 に示すように、リフレッシュイネーブル信号 R E は 64 m s の周期で、256 個のワード線 WL を選択する間ずっと H レベルになる。

(2. 1) 全ヒューズ回路が切断されていない場合 (図 9)

ヒューズ回路 F C 0 ~ F C 8 の全ヒューズが切断されていない場合、図 9 に示すように、全ブロックリフレッシュサイクル制御回路 B R C C C 0 ~ B R C C 8 は入力プリデコード信号 Z L I 0 ~ Z L I 8 をそのままプリデコード信号 Z L 0 ~ Z L 8 としてロウデコーダ RD に与える。

したがって、リフレッシュイネーブル信号REがHレベルの間に、プリデコード信号ZL0はずっとHレベルになり、プリデコード信号ZL1～ZL8は順次Hレベルになる。各プリデコード信号ZLi (i = 1～8) がHレベルの間、対応するブロックBKiが選択され、そのブロックBKi内の32個のワード線WLが順次選択され、これによりそのブロックBKi内の全メモリセルがリフレッシュされる。プリデコード信号ZL1～ZL8はいずれも64msの周期でHレベルになるので、サブアレイSUB内の全メモリセルは通常通り64msの周期でリフレッシュされる。

10 (2. 2) ヒューズ回路FC0及びFC3が切断された場合 (図10)

リテンションテストの結果、サブアレイSUB内の全メモリセルのデータ保持時間が128ms以上の場合、ヒューズ回路FC0のヒューズを切断する。さらに、たとえばブロックBK3内の全メモリセルのデータ保持時間が256ms以上の場合、ヒューズ回路FC3のヒューズを切断する。

この場合、図10に示すように、ブロックリフレッシュサイクル制御回路BRCCC1, BRCCC2, BRCCC4～BRCCC8は入力プリデコード信号ZLI1, ZLI2, ZLI4～ZLI8をそのままプリデコード信号ZL1, ZL2, ZL4～ZL8としてロウデコーダRDに与えるが、ブロックリフレッシュサイクル制御回路BRCCC0は入力プリデコード信号ZLI0を分周比1/2で分周し、ブロックリフレッシュサイクル制御回路BRCCC3は入力プリデコード信号ZLI3を分周比1/4で分周する。したがって、プリデコード信号ZL1, ZL2, ZL4～ZL8の周期は64msのままであるが、プリデコード信号ZL0の周期は128msになり、プリデコード信号ZLI3の

周期は 256 ms になる。

プリデコード信号 ZL0 の周期が 128 ms になるので、サブアレイ SUB は 128 ms の周期でしか選択されない。したがって、プリデコード信号 ZL0 が L レベルの間にプリデコード信号 ZL1, ZL2, ZL4 ~ ZL8 が H レベルになっても、ブロック BK1, BK2, BK4 ~ BK8 は選択されない。その結果、ブロック BK1, BK2, BK4 ~ BK8 はプリデコード信号 ZL0 の周期 128 ms でリフレッシュされ、ブロック BK3 はプリデコード信号 ZL3 の周期 256 ms でリフレッシュされる。

10 本実施の形態では 8 個の 3 入力 AND ゲート AND1 ~ AND8 を用いているが、これに代えて 8 個の 4 入力 AND ゲートを用い、AND ゲート AND0 から出力されるプリデコード信号 ZL0 をロウデコーダ RD に代えてこれら 8 個の 4 入力 AND ゲートに共通に与えるようにしてもよい。この場合の動作は上記と同じである。

15 以上のように第 2 の実施の形態によれば、最短データ保持時間が 128 ms 以上のサブアレイ SUB についてはヒューズ回路 FCO を切断することによりこのサブアレイ SUB のリフレッシュ周期を通常の 2 倍の 128 ms に設定することができる。さらにこのサブアレイ SUB のうち最短データ保持時間が 256 ms 以上のブロックについては対応するヒューズ回路を切断することによりそのブロックのリフレッシュ周期を通常の 4 倍の 256 ms に設定することができる。したがって、リフレッシュ周期を通常よりも長く設定したサブアレイやブロックにおいてはリフレッシュに必要な消費電力を低減することができる。

20 また、従来の方式では 8 個のブロック BK1 ~ BK8 のうち 1 個でも最短データ保持時間が 128 ~ 256 ms であれば、たとえ他のブロックの最短データ保持時間が 256 ms 以上であっても、サブアレイ SU

B全体のリフレッシュ周期を128msに設定しなければならない。しかし本実施の形態では、サブアレイ、ブロックの順にリフレッシュ周期を階層的に設定することができるので、最短データ保持時間が128～256msのブロックのリフレッシュ周期のみを128msに設定し、  
5 その他のブロックのリフレッシュ周期を256msに設定することができる。その結果、その他のブロックにおけるリフレッシュに必要な消費電力を従来よりも低減することができる。しかも、従来のDRAMにリフレッシュサイクル制御回路RCCCを追加するだけで上記のような効果を得ることができる。

10 本実施の形態によれば、リフレッシュ電流Irは一般に次の式(3)で与えられる。

$$I_r = I_b \times F_2 / N_{b1} + I_b / 2 \times F_4 / N_{b2} + I_b / 4 \times (N_{b2} - F_4 - F_2 \times N_{b2} / N_{b2}) / N_{b2} \dots (3)$$

15 ここで、Ib及びFnは上記式(1)と同じである。Nb nはn×64msのリフレッシュ周期でリテンションテストを行うときに適用するブロックの総数である。

20 仮に128msのリテンションテストで64ブロックのうち10ブロックが不合格になり、256msのリテンションテストで512ブロックのうち100ブロックが不合格になったとすると、この場合のリフレッシュ電流Irは次の式(4)で得られる。

$$I_r = I_b \times 10 / 64 + I_b / 2 \times 100 / 512 + I_b / 4 \times (512 - 100 - 10 \times 512 / 64) / 512 \\ = I_b \times (10 / 64 + 1 / 2 \times 100 / 512 + 1 / 4 \times 332 / 512) = 0.416 I_b \dots (4)$$

25 この場合のリフレッシュ電流は、リフレッシュ周期を一律に64msとした場合の半分以下になる。

ただし、これは128msのリテンションテストで不合格になる10  
 ブロックと、256msのリテンションテストで不合格になる100ブ  
 ロックとが全く重複しない最悪の場合である。仮に256msのリテン  
 ションテストで不合格になる100ブロックのうち80ブロックが12  
 5 8msのリテンションテストで不合格になる10ブロックに既に含まれ  
 ていたとすると、256msのリテンションテストで不合格になるのは  
 実質20ブロックしかない。よって、この場合のリフレッシュ電流Ir  
 は次の式(5)で得られる。

$$I_r = I_b \times (10/64 + 1/2 \times 20/512 + 1/4 \times 412 / 512) = 0.376 I_b \quad \dots (5)$$

この場合のリフレッシュ電流Irは、リフレッシュ周期を一律に64  
 msとした場合の3分の1近くになる。

[第3の実施の形態]

本第3の実施の形態は、上記第2の実施の形態と同じ機能を実現する  
 15 ものであるが、回路構成が異なる。

本実施の形態では図11に示すように、ヒューズ回路FC0はあるが、  
 分周器FD0はない。したがって、入力プリデコード信号ZLIOは常に  
 20 そのままプリデコード信号ZLOとしてロウデコーダRDに与えられる。  
 ヒューズ回路FC0から出力されたヒューズ信号FI0は8個のカ  
 ウンタCTR1～CTR8全てに与えられる。ヒューズ回路FC0が切  
 断され、ヒューズ信号FI0がHレベルになると、カウンタCTR1～  
 CTR8はLSBのカウンタ出力信号Cout01～Cout08をイ  
 ネーブルする。ヒューズ回路FC1～FC8が切断され、ヒューズ信号  
 25 FI1～FI8がHレベルになると、カウンタCTR1～CTR8はMSB  
 のカウンタ出力信号Cout11～Cout18をイネーブルする。

リテンションテストの結果、全ブロックBK1～BK8の最短データ保持時間が128ms以上の場合、ヒューズ回路FC0を切断する。さらに、たとえばブロックBK8の最短データ保持時間が256ms以上の場合、ヒューズ回路FC8も切断する。この場合、Hレベルのヒューズ信号FI0に応答して全カウンタCTR1～CTR8のカウンタ出力信号Count01～Count08がイネーブルされ、Hレベルのヒューズ信号FI8に応答してカウンタCTR8のカウンタ出力信号Count18がイネーブルされる。したがって、カウンタCTR8のみが2ビットカウンタとして機能し、他のカウンタCTR1～CTR7は1ビットカウンタとして機能する。よって、分周器FD8のみが入力プリデコード信号ZLI8を分周比1/4で分周し、他の分周器FD1～FD7は入力プリデコード信号ZLI1～ZLI7を分周比1/2で分周する。

以上の結果、図12に示すように、プリデコード信号ZLI1～ZLI7は128msの周期でHレベルになり、プリデコード信号ZLI8は256msの周期でHレベルになる。そのため、ブロックBK1～BK7は通常の2倍の周期でリフレッシュされ、ブロックBK8は通常の4倍の周期でリフレッシュされる。

#### 〔第4の実施の形態〕

本第4の実施の形態は、上記第3の実施の形態とブロック構成が異なる。上記実施の形態3では各ブロック内の32個のワード線WLは1箇所に集中しているのに対し、本実施の形態では8個ごとに4箇所に分散している。

本実施の形態では図13に示すように、ロウデコーダRDは、4個のANDゲートAND41～AND44を含むANDツリーで構成される。ロウデコーダRDは、プリデコード信号ZL0に応答して256個のワード線WLを選択する。ロウデコーダRDはさらに、選択された256

個のワード線WLの中から32個のワード線WLをプリデコード信号ZL 1～ZL 8に応答して選択する。ロウデコーダRDはさらに、選択された32個のワード線WLの中から8個のワード線WLをプリデコード信号ZL 9～ZL 12に応答して選択する。たとえばプリデコード信号ZL 8がHレベルになった場合、ANDゲートAND 41～AND 44の各々は対応する8個のワード線WLを選択する。このとき選択された32個のワード線WLがブロックBK 8を構成する。

データ保持時間の短いメモリセルが1箇所に集中している場合には上記第3の実施の形態の方が好ましいが、分散している場合には本第4の実施の形態の方が好ましい。

本実施の形態のリフレッシュサイクル制御回路RCCCは上記第3の実施の形態と同じであるが、上記第2の実施の形態と同じにしてもよい。

また上記第2～4の実施の形態では、128msのリフレッシュ周期を64ブロック（サブアレイ）に分けて設定し、256msのリフレッシュ周期を512ブロックに分けて設定しているが、リフレッシュ周期設定の階層数、リフレッシュ周期の種類、ブロック数などは全て例示であって、特に限定されるものではない。たとえばカウンタのビット数を3ビット、4ビットなどと増やせば、リフレッシュ周期の種類も512ms、1024msなどと増やすことができる。

また上記2階層方式では256個のワード線当たり9個のヒューズを設けているが、32個のワード線当たり2個のヒューズ、つまり256個のワード線当たり16個のワード線を設ければ、各2ビットカウンタの出力をイネーブルすることができ、その結果、32個のワード線からなるブロックごとに64ms、128ms及び256msという3種類のリフレッシュ周期を選択することができる。

-29-

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

## 請求の範囲

1. ダイナミック型半導体記憶装置であって、  
複数のブロックに分割されたメモリセルアレイと、  
ロウアドレス信号をデコードしてブロック選択信号を発生するブロックデコーダと、  
5 前記ブロック選択信号に応答して前記ブロックを選択するロウデコーダと、  
前記ブロック選択信号を予め設定された分周比で分周して、前記ロウデコーダによって選択されるブロックにリフレッシュ周期を設定するためのリフレッシュサイクル制御回路と、を含むダイナミック型半導体記憶装置。
2. 前記リフレッシュサイクル制御回路は、  
前記分周比を設定するヒューズ回路と、  
前記ヒューズ回路に設定された分周比で前記ブロック選択信号を分周する分周器とを含む、請求項1に記載のダイナミック型半導体記憶装置。  
15
3. 前記分周比は、前記選択されるブロック内のメモリセルアレイのリテンション時間に応じて設定される、請求項1または請求項2に記載のダイナミック型半導体記憶装置。
4. ダイナミック型半導体記憶装置であって、  
複数のメモリセルを含むメモリセルアレイであって、前記メモリセルアレイは複数の第1階層ブロックに分割され、前記第1階層ブロックの各々はさらに複数の第2階層ブロックに分割される、メモリセルアレイと、  
20 前記第1階層ブロック用に第1のリフレッシュ周期を設定し、前記第2階層ブロック用に第2のリフレッシュ周期を設定するリフレッシュ周

期設定手段と、を含むダイナミック型半導体記憶装置。

5. さらに、前記第1階層ブロックを第1のブロック選択信号に応答して選択し、その選択された第1階層ブロック内の前記第2階層ブロックを第2のブロック選択信号に応答して選択するロウデコーダを有し、

5 前記リフレッシュ周期設定手段は、

前記第1のブロック選択信号を予め定められた第1の分周比で分周する第1の分周器と、

前記第2のブロック選択信号を予め定められた第2の分周比で分周する第2の分周器とを含む、請求項4に記載のダイナミック型半導体記憶装置。

10 6. 前記リフレッシュ周期設定手段はさらに、

前記第1の分周比を設定する第1のヒューズ回路と、

前記第2の分周比を設定する第2のヒューズ回路とを含む、請求項5に記載のダイナミック型半導体記憶装置。

15 7. 前記第1及び第2のヒューズ回路は前記ロウデコーダ上に形成されることを特徴とする、請求項6に記載のダイナミック型半導体記憶装置。

8. さらに、前記第1階層ブロックを第1のブロック選択信号に応答して選択し、その選択された第1階層ブロック内の前記第2階層ブロックを第2のブロック選択信号に応答して選択するロウデコーダを有し、

20 前記リフレッシュ周期設定手段は、

前記第2のブロック選択信号を予め定められた第1又は第2の分周比で分周する分周器を含む、請求項4に記載のダイナミック型半導体記憶装置。

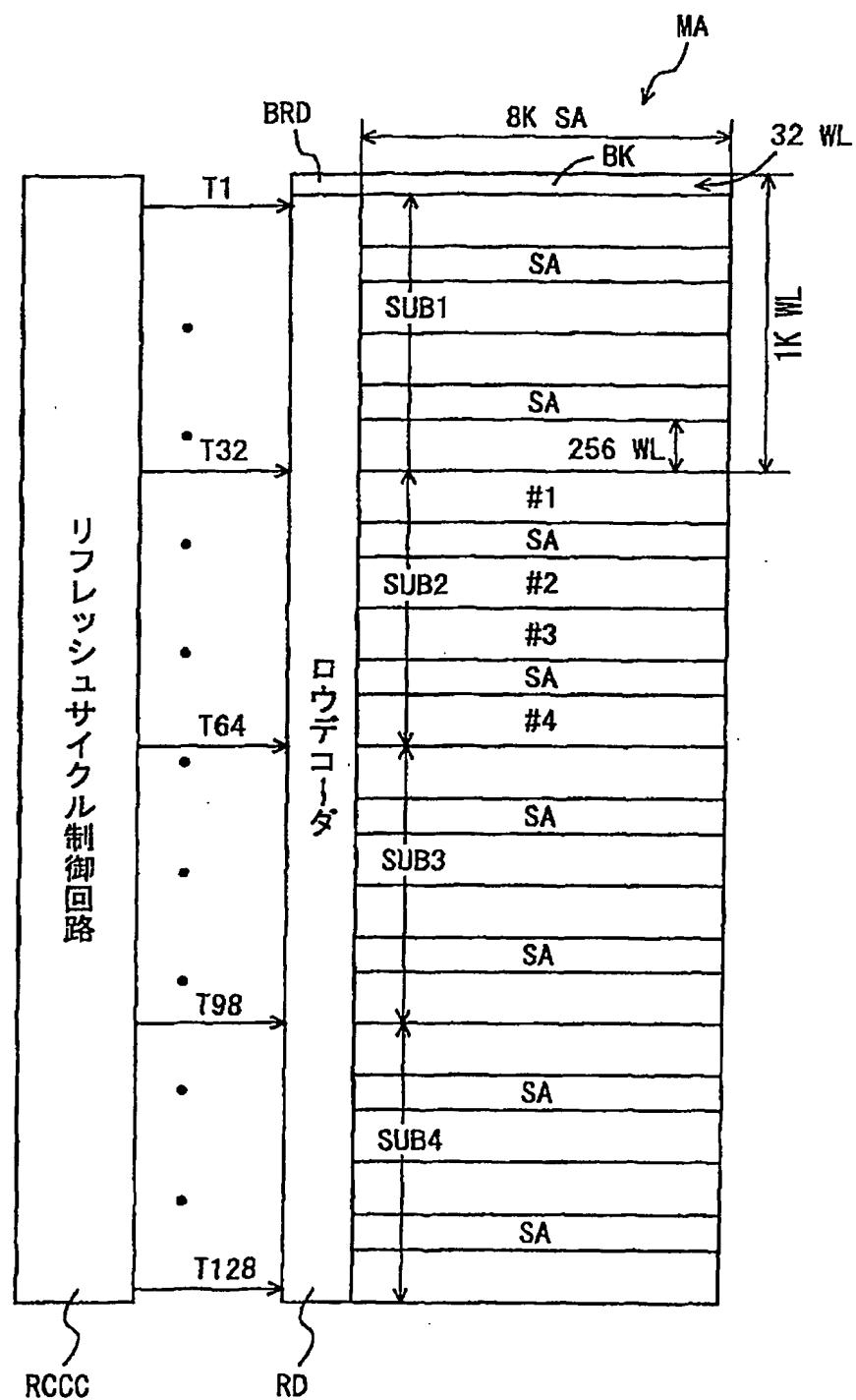
25 9. 前記リフレッシュ周期設定手段はさらに、

前記第1又は第2の分周比を設定するヒューズ回路を含む、請求項8

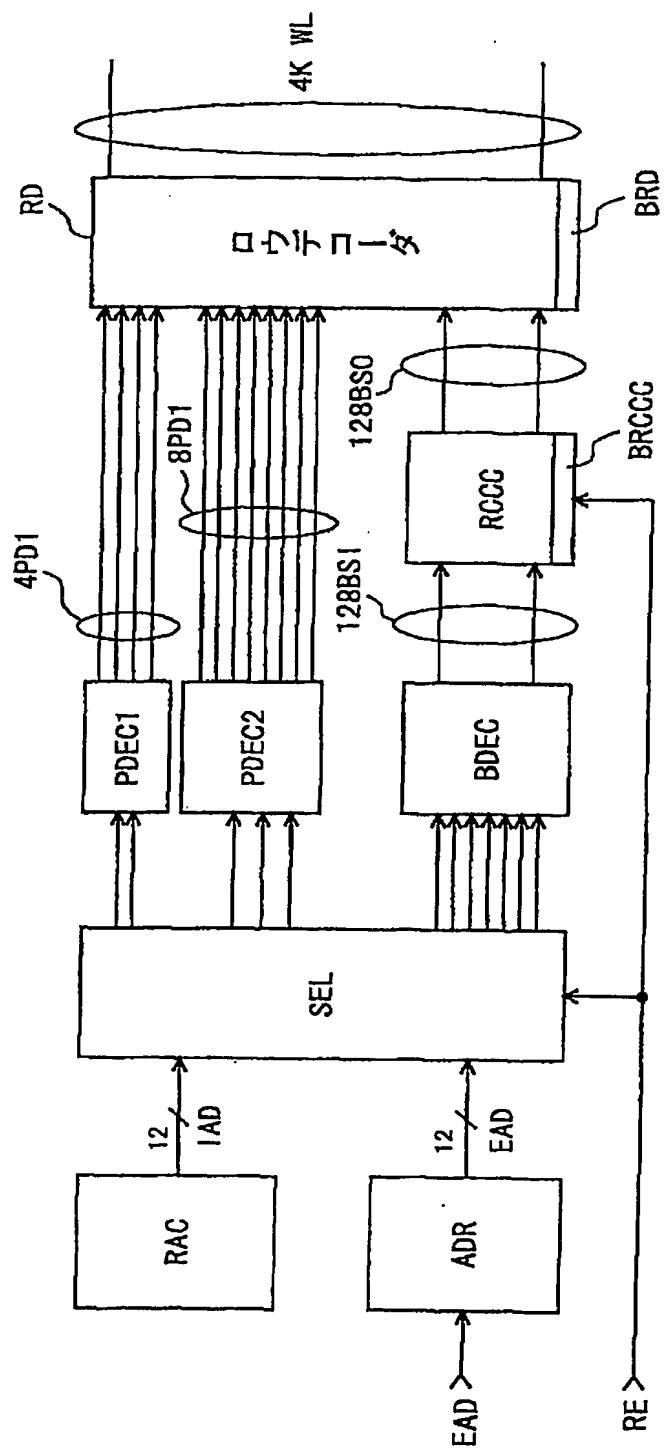
-32-

に記載のダイナミック型半導体記憶装置。

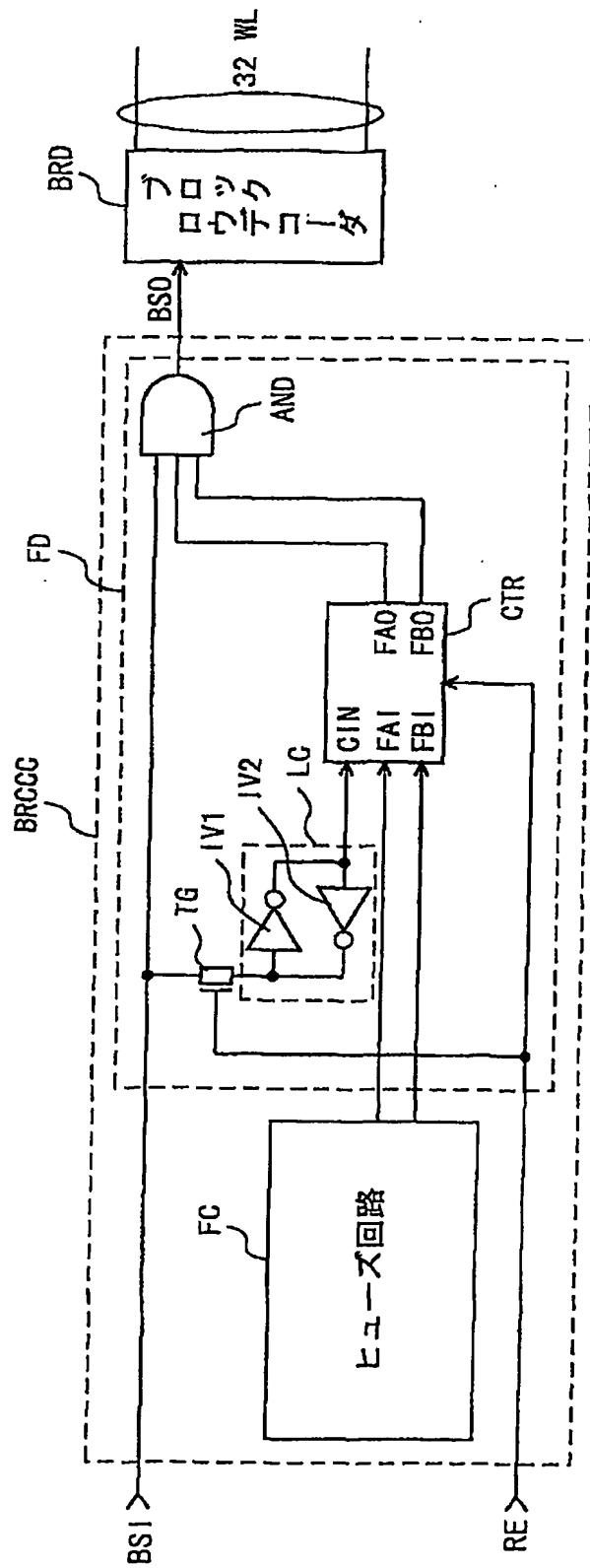
10. 前記第1又は第2の分周比は、前記選択されるブロック内のメモリセルアレイのリテンション時間に応じて設定される、請求項9に記載のダイナミック型半導体記憶装置。



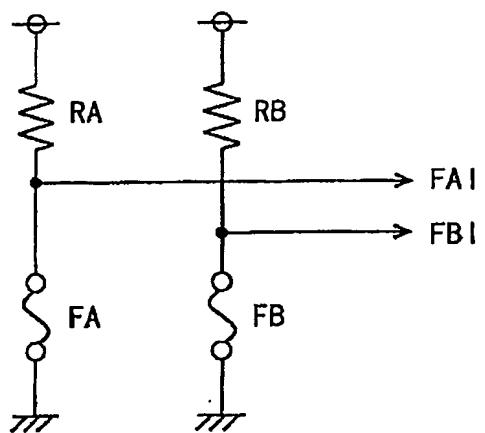
第 1 図



第2図

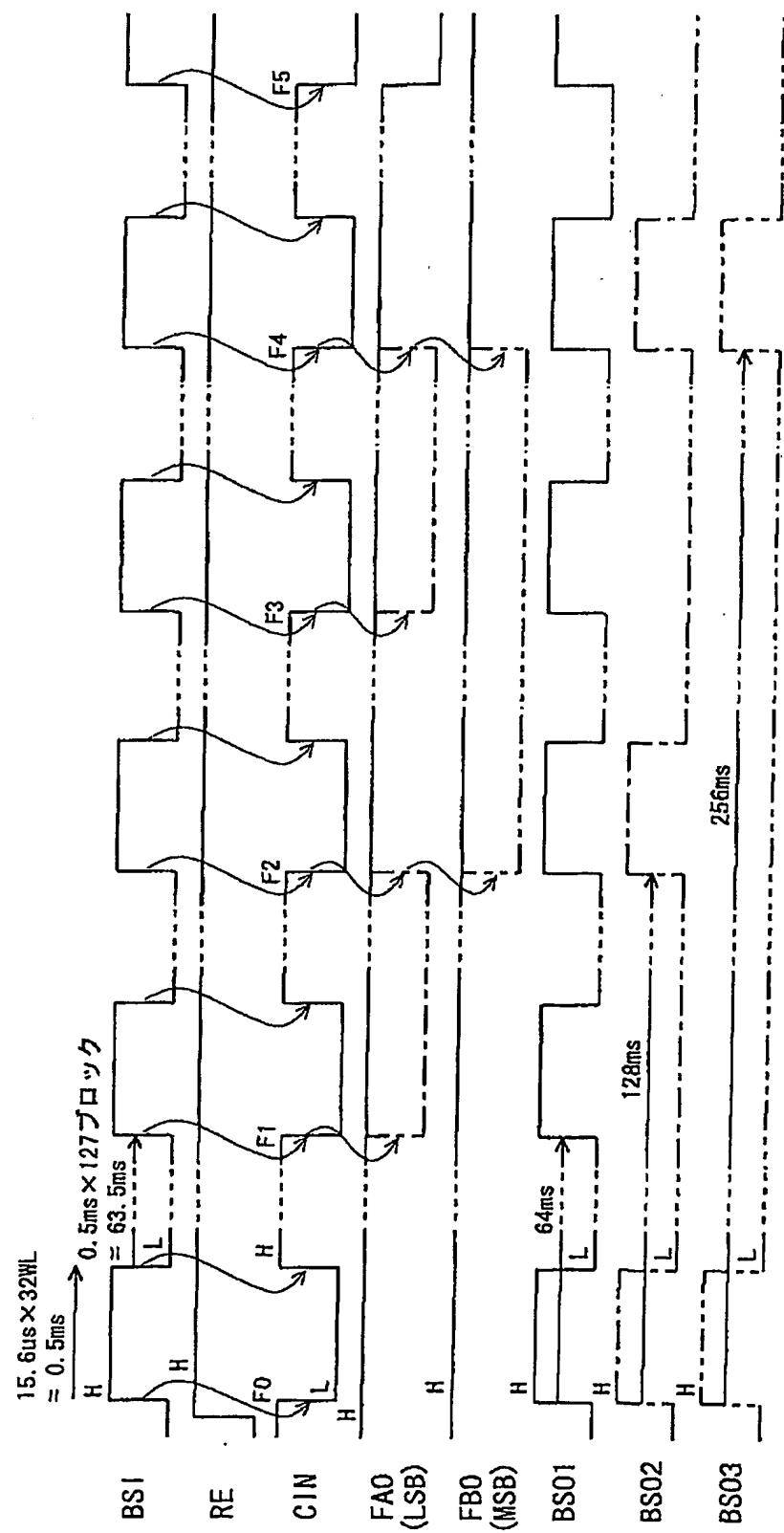


第3図



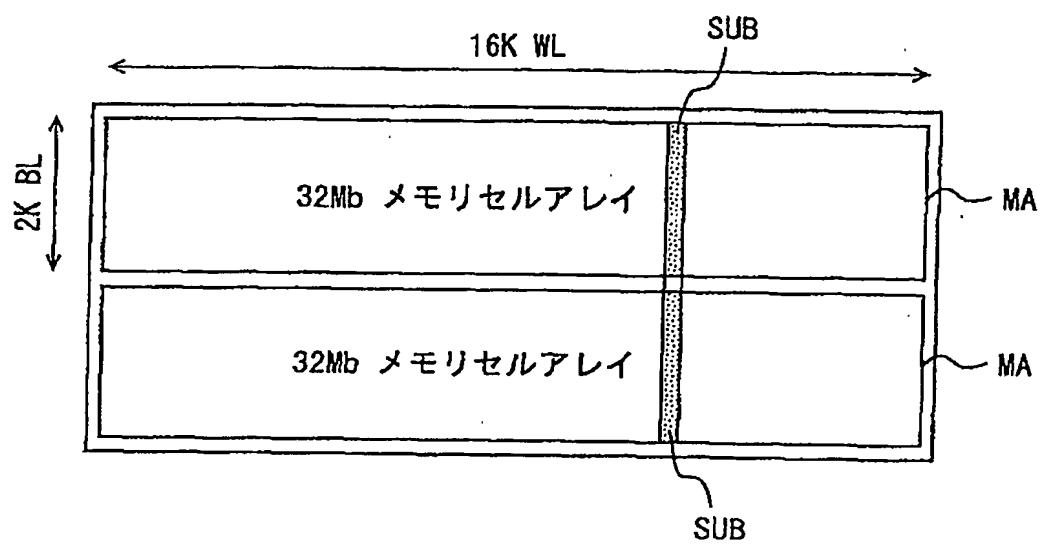
FC

第 4 図



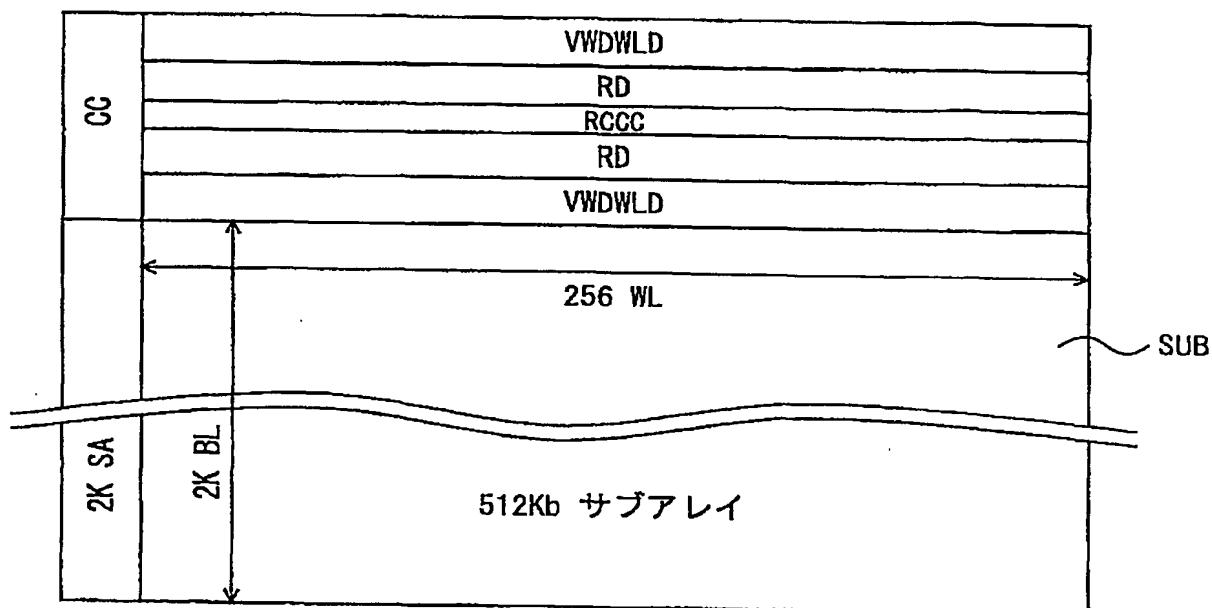
第5図

6/13

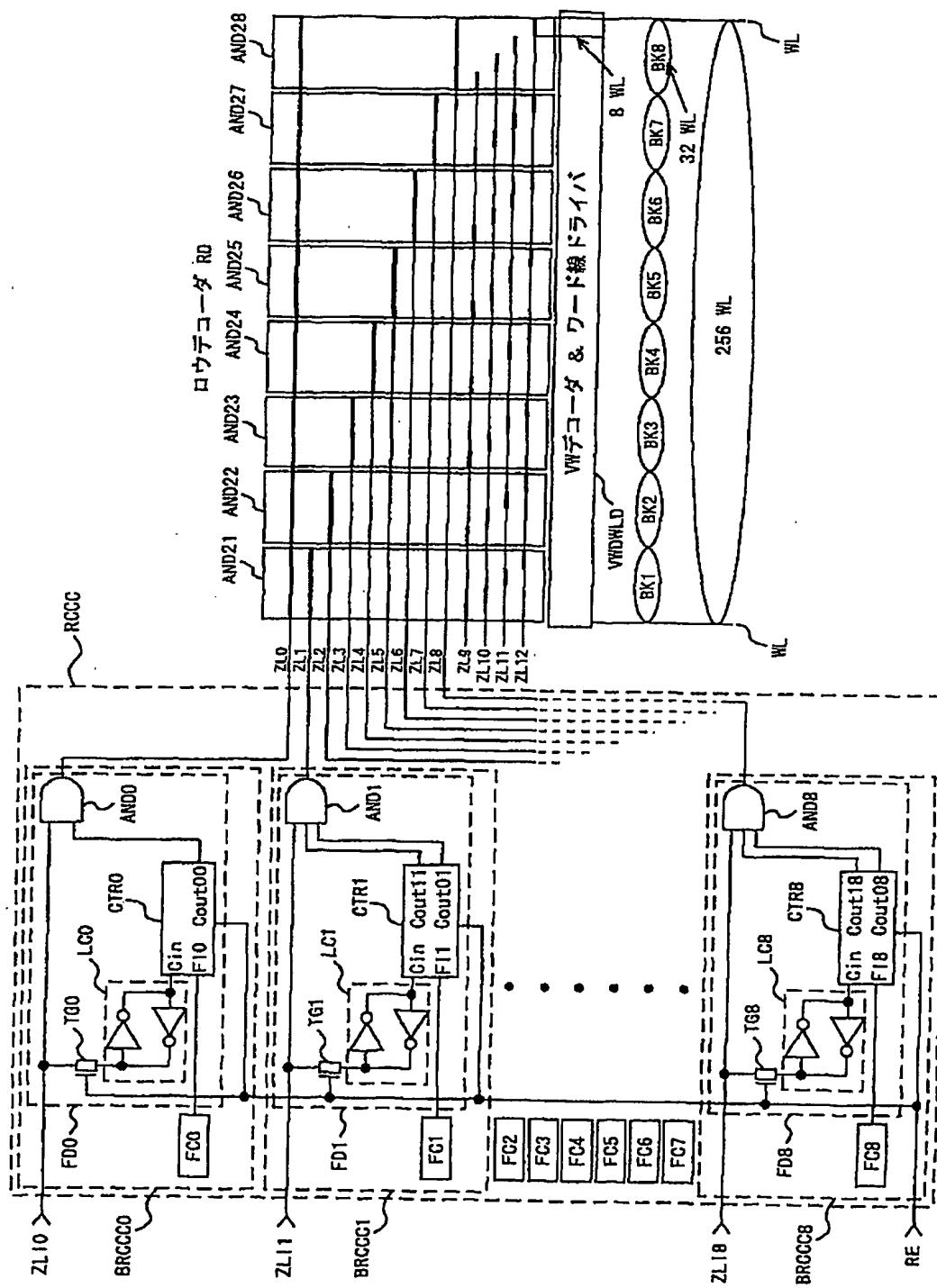


第 6 図

7/13

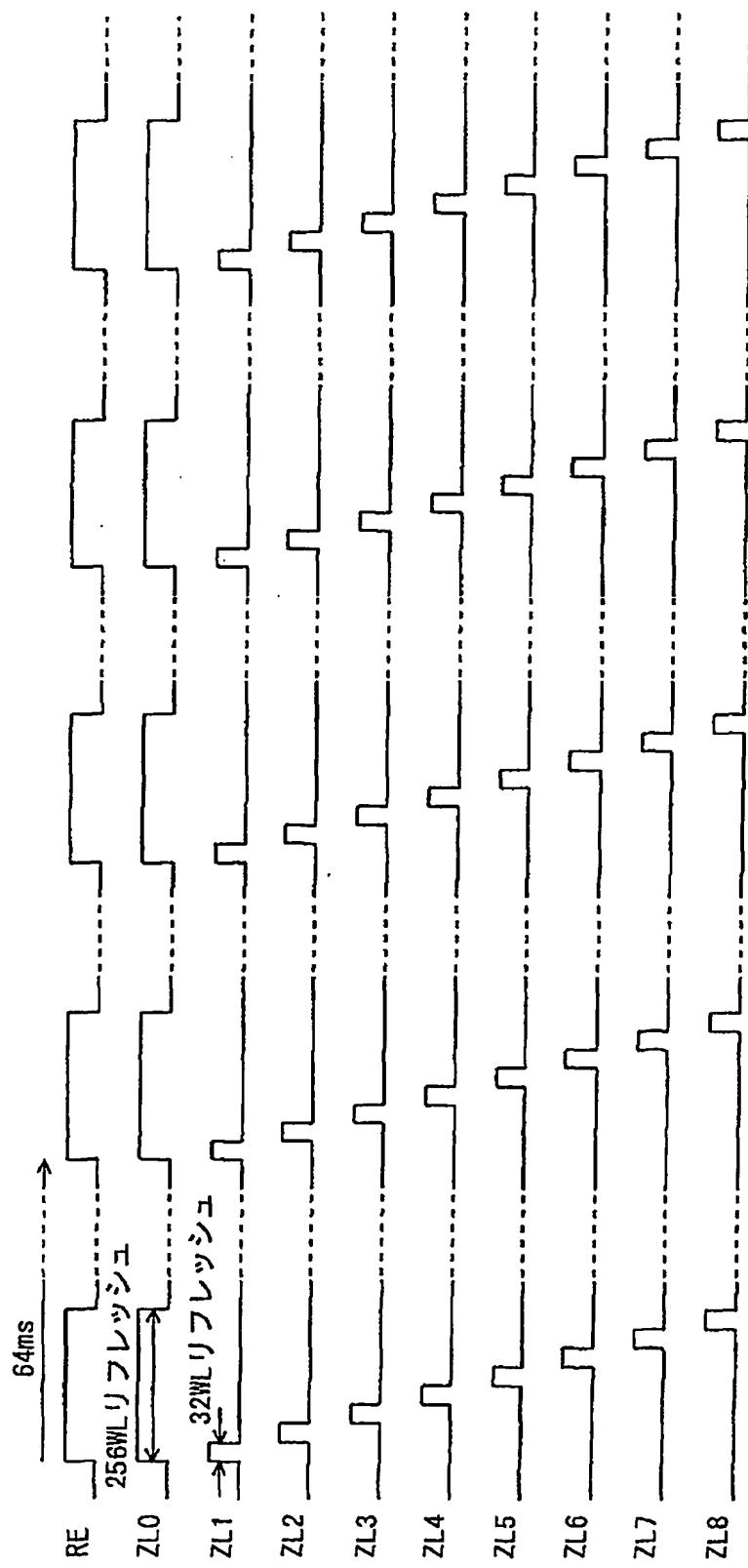


第 7 図

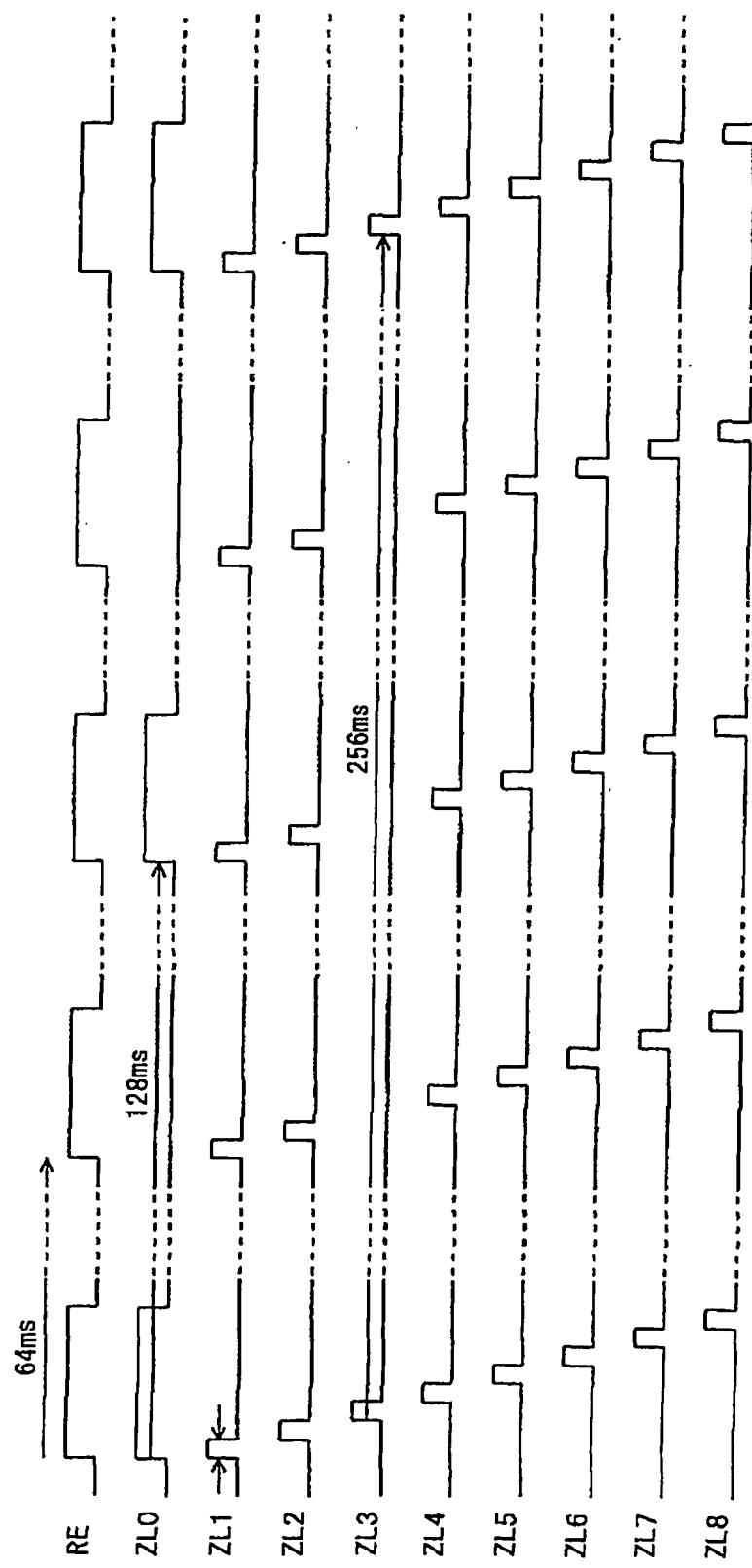


第 8 図

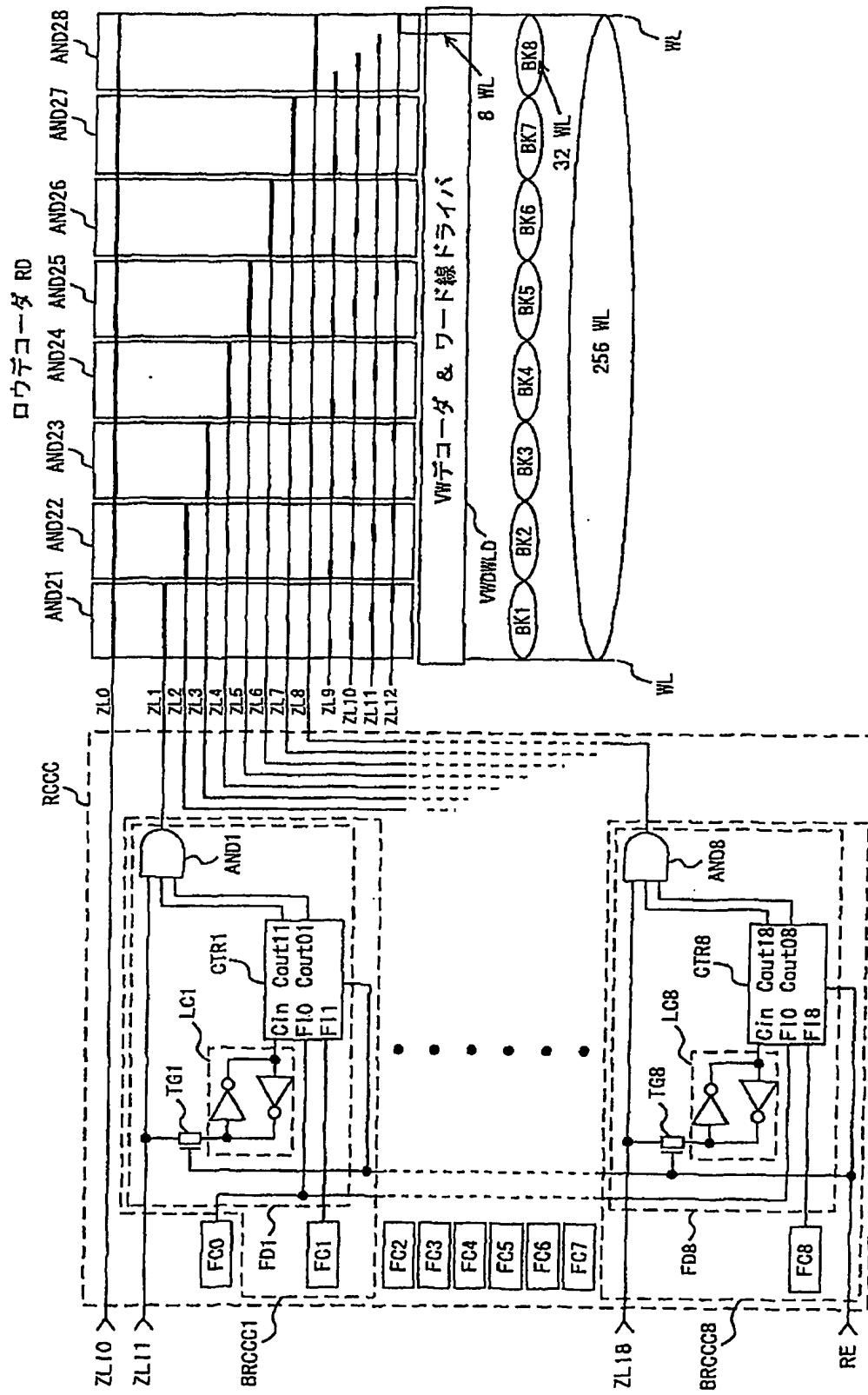
9/13



第9図

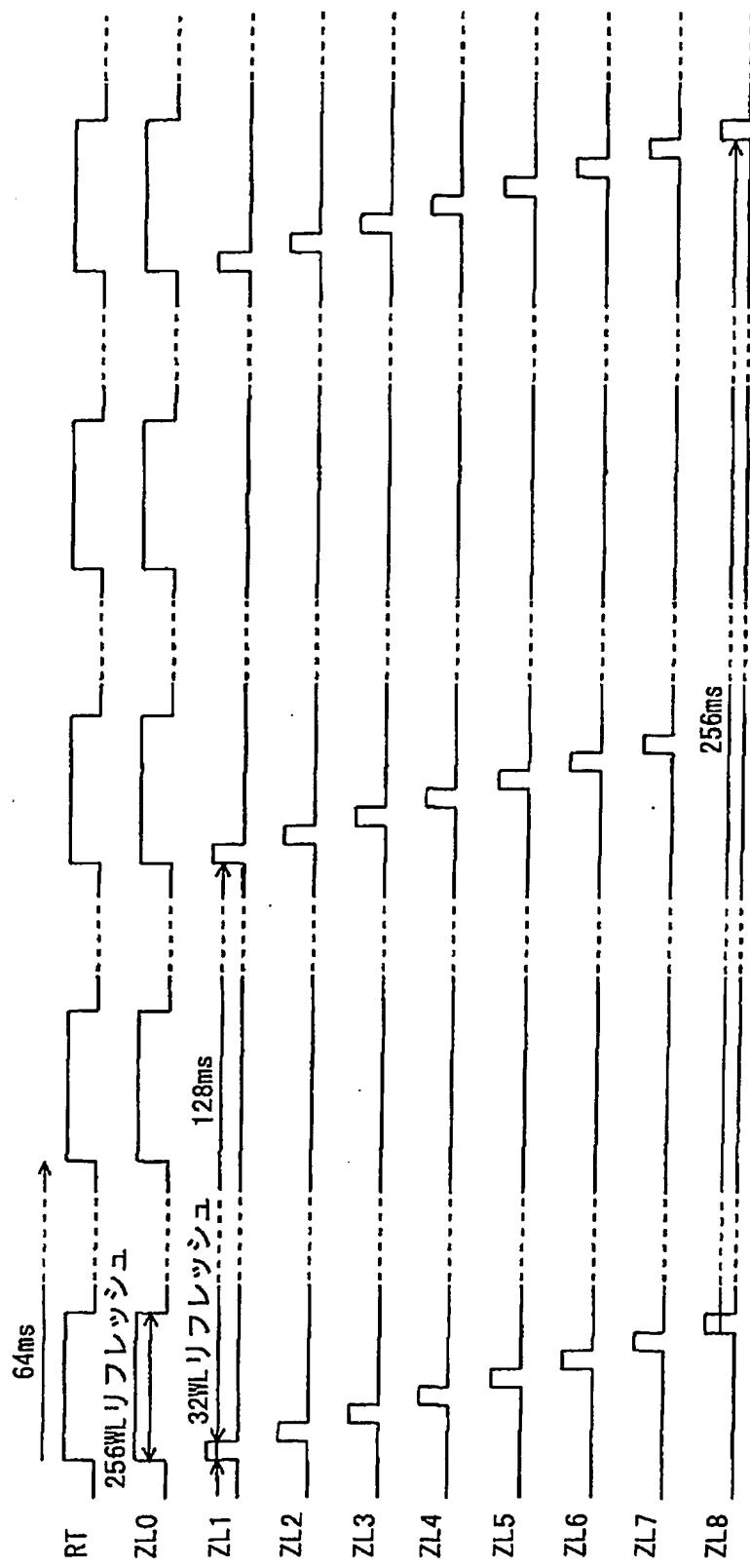


第10図

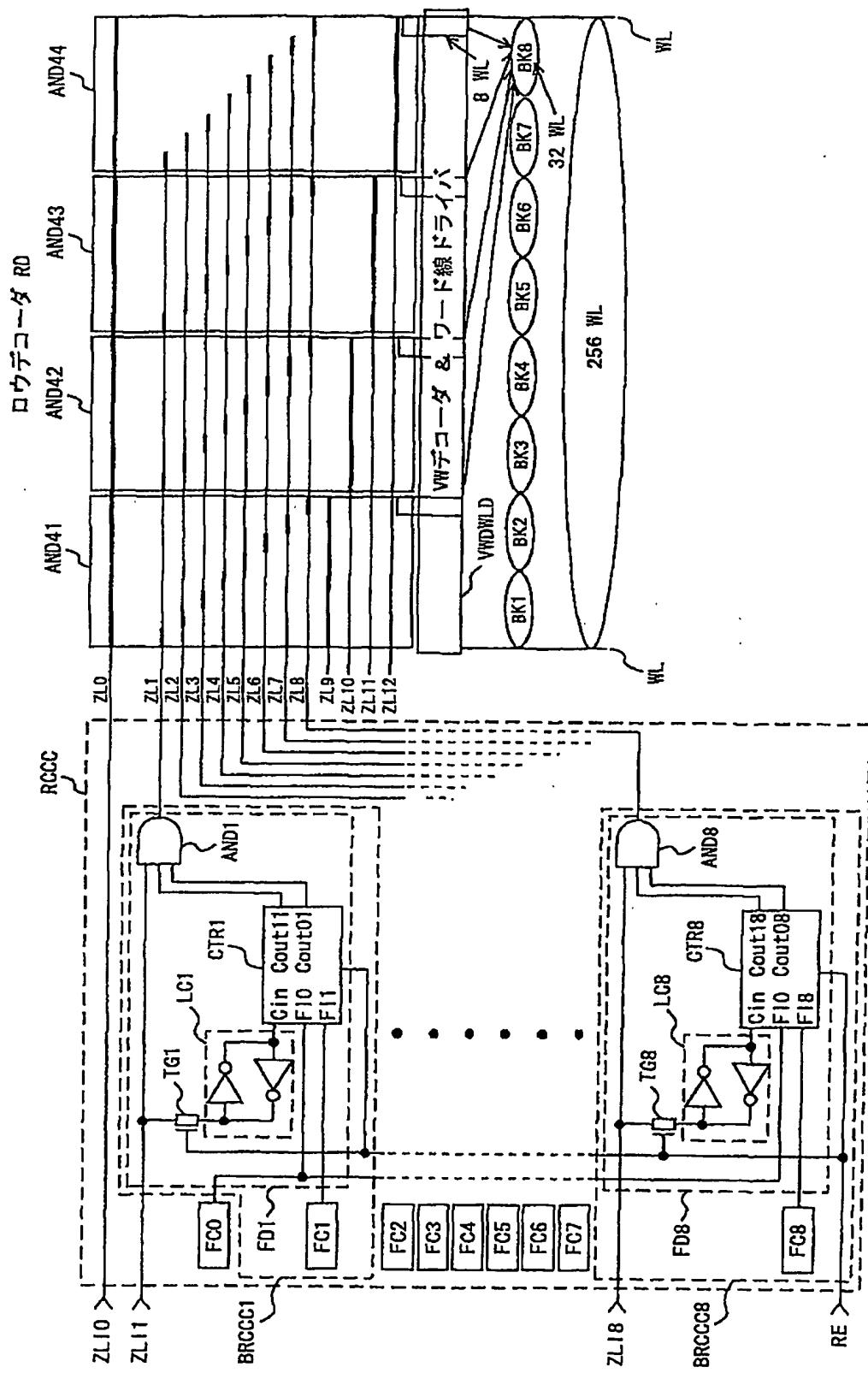


第 11 図

12/13



第12図



四三一 第

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005275

**A. CLASSIFICATION OF SUBJECT MATTER**  
Int.Cl<sup>7</sup> G11C11/406

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
Int.Cl<sup>7</sup> G11C11/406

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004  
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 8-306184 A (Hitachi, Ltd.), 22 November, 1996 (22.11.96), Full text; all drawings & US 5629898 A & TW 441103 A & KR 407024 B	1-3
Y	JP 2002-150770 A (NEC Corp.), 24 May, 2002 (24.05.02), Full text; all drawings & WO 2002/019340 A1 & KR 2003028827 A & EP 1335383 A1 & TW 517235 A & CN 1452773 A & US 2004/0041173 A1	1-3

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
20 July, 2004 (20.07.04)

Date of mailing of the international search report  
03 August, 2004 (03.08.04)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Faxsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005275

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 6-89571 A (NEC Corp.), 29 March, 1994 (29.03.94), Full text; all drawings (Family: none)	2
A	WO 1996/028825 A1 (Hitachi, Ltd.), 19 September, 1996 (19.09.96), Full text; all drawings (Family: none)	1-3
A	JP 2001-43677 A (Hitachi, Ltd.), 16 February, 2001 (16.02.01), Full text; all drawings (Family: none)	1-3
A	JP 9-231748 A (Nittetsu Semiconductor Kabushiki Kaisha), 05 September, 1997 (05.09.97), Full text; all drawings & US 5644545 A & EP 790620 A2 & KR 97062910 A	1-3
A	JP 5-109268 A (Sharp Corp.), 30 April, 1993 (30.04.93), Full text; all drawings (Family: none)	1-3
A	JP 4-34794 A (NEC Corp.), 05 February, 1992 (05.02.92), Full text; all drawings & JP 2959046 B2	1-3
A	JP 3-250489 A (NEC Corp.), 08 November, 1991 (08.11.91), Full text; all drawings (Family: none)	1-3
A	JP 11-96790 A (International Business Machines Corp.), 09 April, 1999 (09.04.99), Full text; all drawings & EP 892349 A2 & CN 1205521 A1 & US 5978931 A & KR 99013406 A & SG 79234 A1 & KR 305934 B & TW 461994 A & EP 892349 B1 & DE 69811571 E	4-10

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005275

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-96799 A (International Business Machines Corp.), 09 April, 1999 (09.04.99), Full text; all drawings & EP 892350 A2 & US 5881003 A & KR 99013942 A & TW 410288 A & KR 305936 B & EP 892350 B1 & DE 69811155 E	4-10
A	JP 2001-60400 A (Toshiba Corp.), 06 March, 2001 (06.03.01), Full text; all drawings (Family: none)	4-10

A: 発明の属する分野の分類 (国際特許分類 (IPC))

Int C1' G11C11/406

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int C1' G11C11/406

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国実用新案登録公報 1996-2004年

日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 8-306184 A (株式会社日立製作所) 1996. 11. 22, 全文, 全図 & US 5629898 A & TW 441103 A & KR 407024 B	1-3
Y	JP 2002-150770 A (日本電気株式会社) 2002. 05. 24, 全文, 全図 & WO 2002/019340 A1 & KR 2003028827 A & EP 1335383 A1 & TW 517235 A & CN 1452773 A	1-3

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「I」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

20. 07. 2004

国際調査報告の発送日

03. 8. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

堀田 和義

5N 8840

電話番号 03-3581-1101 内線 3545

C (続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
	& US 2004/0041173 A1	
Y	JP 6-89571 A (日本電気株式会社) 1994. 03. 29, 全文, 全図 (ファミリーなし)	2
A	WO 1996/028825 A1 (株式会社日立製作所) 1996. 09. 19, 全文, 全図 (ファミリーなし)	1-3
A	JP 2001-43677 A (株式会社日立製作所) 2001. 02. 16, 全文, 全図 (ファミリーなし)	1-3
A	JP 9-231748 A (日鉄セミコンダクター株式会社) 1997. 09. 05, 全文, 全図 & US 5644545 A & EP 790620 A2 & KR 97062910 A	1-3
A	JP 5-109268 A (シャープ株式会社) 1993. 04. 30, 全文, 全図 (ファミリーなし)	1-3
A	JP 4-34794 A (日本電気株式会社) 1992. 02. 05, 全文, 全図 & JP 2959046 B2	1-3
A	JP 3-250489 A (日本電気株式会社) 1991. 11. 08, 全文, 全図 (ファミリーなし)	1-3
A	JP 11-96790 A (インターナショナル・ビジネス・マシーンズ ・コーポレーション) 1999. 04. 09, 全文, 全図 & EP 892349 A2 & CN 1205521 A1 & US 5978931 A & KR 99013406 A & SG 79234 A1 & KR 305934 B & TW 461994 A & EP 892349 B1 & DE 69811571 E	4-10
A	JP 11-96799 A (インターナショナル・ビジネス・マシーンズ ・コーポレーション) 1999. 04. 09, 全文, 全図 & EP 892350 A2 & US 5881003 A & KR 99013942 A & TW 410288 A & KR 305936 B & EP 892350 B1 & DE 69811155 E	4-10
A	JP 2001-60400 A (株式会社東芝) 2001. 03. 06, 全文, 全図 (ファミリーなし)	4-10